

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平9-55770

(43)公開日 平成9年(1997)2月25日

(51)Int.Cl.	識別記号	F I
H04L 25/49	9199-5K	H04L 25/49 F
H03K 5/125	9199-5K	25/03 C
H04L 25/03		H03K 5/01 D

審査請求 有 請求項の数 8 O L (全7頁)

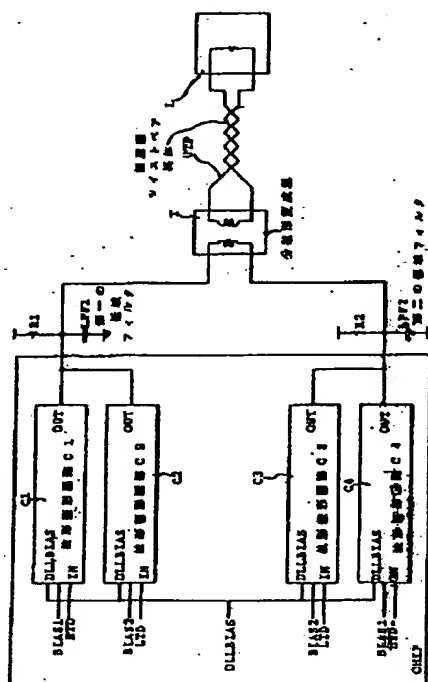
(21)出願番号	特願平7-209567	(71)出願人	595118685 民生科技股▲ふん▼有限公司 台湾新竹市科学園區工業東三路2号
(22)出願日	平成7年(1995)8月17日	(72)発明者	楊 存 孝 台湾新竹市科学園區工業東三路2号
		(72)発明者	周 純 明 台湾新竹市科学園區工業東三路2号
		(72)発明者	蘇 文 榮 台湾新竹市科学園區工業東三路2号
		(74)代理人	弁理士 伊東 忠彦 (外1名)

(54)【発明の名称】無遮蔽ツイストペア媒体に前決定周波数応答出力を送信する装置、そのための波形整形回路及びその方法

(57)【要約】 (修正有)

【課題】 マンチェスターコードデーターを無遮蔽ツイストペア媒体に送信するための装置を提供する。

【解決手段】 波形整形回路は、入力端子と、出力端子と、複数のカスケード回路段とからなり、各カスケード回路段は入力部と出力部を持った遅延回路と、電流源と、スイッチ回路とにより構成され、前記スイッチ回路は電氣的に遅延回路の出力に接続されることにより、前記遅延回路に制御されると共に、前記出力端子へ電流源をつなぎ、前記各遅延回路は、遅延時間が等しく、且つそれらの総遅延時間は、基本データーレートのビットタイムの2分の1或いは2分1の倍数であって、さらに各電流源は、波形整形回路のフィルタ伝達関数による有限インパルス応答の時間サンプルから得られた電流値を有する。



【特許請求の範囲】

【請求項1】 入力端子と、出力端子と、複数のカスケード回路段とを備えてなり、前記各カスケード回路段は、入力部と出力部を備えた遅延回路10と、電流源11と、スイッチ回路12とより構成され、前記スイッチ回路12は電氣的に遅延回路10の出力に接続され、前記遅延回路10により制御されると共に、出力端子へ電流源11をつなぎ、そして、前記複数のカスケード回路段においては、第1のカスケード回路段1の遅延回路10は、電氣的に前記入力端子に接続され、その他の遅延回路10の入力はそれぞれ電氣的にその前に隣接する遅延回路10の出力に接続され、前記各遅延回路10は、遅延時間が等しく、かつ前記各電流源11は、波形整形回路のフィルタ伝達関数による有限インパルス応答の時間サンプルから得られた電流値を有することを特徴とする波形整形回路。

【請求項2】 前記フィルタ伝達関数は、二乗余弦インパルス応答を有することを特徴とする請求項1記載の波形整形回路。

【請求項3】 フィルタ伝達関数による有限インパルス応答の時間サンプルを求めるステップと、その電流値が時間サンプルに正比例し、かつそれぞれがスイッチ回路12を持った複数の電流源11を提供するステップと、複数の遅延時間がいずれも等しく、かつ総遅延時間はマンチェスターコードデータのビットタイムの2分の1である遅延回路において、第1の遅延回路の入力部で、マンチェスターコードデータを受け取り、その他の遅延回路10の入力部はそれぞれ電氣的にその前にある遅延回路10の出力部に接続され、かつ、各々遅延回路10の出力部は、それぞれ出力端子への電流源11を制御するスイッチ回路12に電氣的に接続させるステップとを有することを特徴とするマンチェスターコードデータの波形整形方法。

【請求項4】 前記フィルタ伝達関数は、二乗余弦インパルス応答を有することを特徴とする請求項3記載の波形整形方法。

【請求項5】 第1、第2、第3、第4の波形整形回路(C1、C2、C3、C4)から成り、前記各波形整形回路は、入力端子と、出力端子と、複数のカスケード回路段より構成し、そのうち、前記各カスケード回路段には、入力と出力を備えた遅延回路10と、電流源11と、スイッチ回路12とにより構成し、前記スイッチ回路12が電氣的に遅延回路10の出力部に接続され、前記遅延回路10に制御されると共に、出力端子へ電流源をつなぎ、さらに、前記複数のカスケード回路段においては、第1のカスケード回路段1の遅延回路10は、電氣的に入力端子に接続されると共に、その他の遅延回路の入力部はそれぞれ電氣的にその前に接続する遅延回路の出力部に接続され、前記各遅延回路10は、遅延時間

が等しく、且つそれらの総遅延時間はマンチェスターコードデータのビットタイムの2分の1であって、前記各電流源11は、波形整形回路のフィルタ伝達関数による有限インパルス応答の時間サンプルから得られた電流値を有し、さらに、前記第1の波形整形回路はマンチェスターコードデータの入力を受け、前記第2の波形整形回路は遅延されたマンチェスターコードデータの入力を受け、且つ前記第2の波形整形回路の出力端と前記第1の波形整形回路の出力端と接続し、前記第3の波形整形回路は反転されたマンチェスターコードデータの入力を受け、前記第4の波形整形回路は遅延され、かつ反転されたマンチェスターコードデータの入力を受け、且つ前記第3の波形整形回路の出力端と前記第4の波形整形回路の出力端とは接続しているように構成されることを特徴とするマンチェスターコードデータを送信するための装置。

【請求項6】 前記フィルタ伝達関数は、二乗余弦インパルス応答を有することを特徴とする請求項5記載の装置。

【請求項7】 第1、及び第2の波形整形回路の出力端子を電氣的に第1の低域フィルタに接続すると共に、第3、及び第4の波形整形回路の出力端子を電氣的に第2の低域フィルタに接続することを特徴とする請求項5記載の装置。

【請求項8】 1次コイルと2次コイルを有する分離形変成器においては、1次コイルの両端は、それぞれ第1の低域フィルタと第2の低域フィルタに接続され、また、前記1次コイルのCT(センター タップ)端は正パワーサプライにつながれ、更に、前記2次コイルの出力端は、それぞれ無遮蔽ツイストペア媒体に接続されることを特徴とする請求項7記載の装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は前決定周波数応答及び波形の出力を通信媒体に送信する装置に係り、さらに詳しくはより低いパワーの消費量で経済的に実施できる波形整形回路及び方法を用い、マンチェスターコードデータを送信するための装置に関する。

【0002】

【従来の技術】アメリカ特許第5,267,269号には、マンチェスターコードデータを送信するための装置が開示されている。この公知装置は、非ゼロ復帰形式データを受信し、モード選択出力端とステップ選択出力端のためのシーケンサと、複数の前決定波形を表すデータを格納するメモリと、ステップ選択出力端に連結する第1入力端と、モード選択出力端に連結する第2入力端と、前記メモリに連結する入力バスと、出力バスとを備えたマルチプレクサと、前記出力バスにつなぐ出入端と、歪みの選択波形を表す

データを取り除くための出力端とを備えたラッチと、前記ラッチの出力端につなぐ入力端と、選択波形に比例した微分アナログ電流の出力端とを備えた微分 D/A 変換器と、ローパスフィルタを備えたドライバーとから構成されている。

【0003】しかしながら、前記装置では受動フィルタが省かれたので、より高い統合レベルを提供でき、コストを節約できるとはいえ、重要なシリコン面積を占め、しかも大量にパワーを消耗するものであった。しかも、基本ビットレートクロックしか利用できないので、高オ

【0004】

【発明が解決しようとする課題】本発明の目的は、上記問題点欠点に鑑み、より低いパワーの消費量で経済的に実施できる波形整形回路及び方法によって、マンチェスターコードデータを無遮蔽ツイストペア媒体に送信するための装置を提供することにある。

【0005】

【課題を解決するための手段】本発明の第 1 の特徴は、入力端子と、出力端子と、複数のカスケード回路段とを備えてなる波形整形回路であって、前記各カスケード回路段には、入力と出力を備えた遅延回路と、電流源と、スイッチ回路より構成され、前記スイッチ回路は電氣的に遅延回路の出力に接続されることにより、前記遅延回路に制御されるとともに、前記出力端子へ電流源をつなぎ、そして、前記複数のカスケード回路段においては、第 1 のカスケード回路段の遅延回路は、電氣的に前記入力端子に接続され、その他の遅延回路の入力はそれぞれ電氣的にその前に隣接する遅延回路の出力に接続され、前記各遅延回路は、いずれも等しい遅延時間とし、前記各電流源は、波形整形回路のフィルタ伝達関数による有限インパルス応答の時間サンプルから得られた電流値とすることにある。

【0006】前記波形整形回路のフィルタ伝達関数は二乗余弦インパルス (raised-cosine impulse) 応答を有し、また、総遅延時間は基本コードレートのビットタイムの 2 分の 1 或いは 2 分の 1 の倍数であることが好ましい。本発明の第 2 の特徴は、波形整形方法がフィルタ伝達関数による有限インパルス応答の時間サンプルを求めるステップと、その電流値が時間サンプルに正比例し、かつ、それぞれがスイッチ回路を持った複数の電流源を提供するステップと、複数の遅延時間がいずれも等しくかつ総遅延時間はマンチェスターコードデータのビットタイムの 2 分の 1 である遅延回路において、第 1 の遅延回路の入力部で、マンチェスターコードデータを受け取り、その他の遅延回路の入力部はそれぞれ電氣的にその前にある遅延回路の出力部に接続され、かつ、各々遅延回路の出力部は、それぞれ出力端子への電流源を制御するスイッチ回路に電氣的に接続させるステップとを

有することである。

【0007】本発明の第 3 の特徴は、第 1、第 2、第 3、第 4 の波形整形回路から成るマンチェスターコードデータを無遮蔽ツイストペア媒体に送信するための装置において、前記各波形整形回路を、入力端子と、出力端子と、複数のカスケード回路段とにより構成し、そのうち、前記各カスケード回路段を、入力と出力を持った遅延回路と、電流源と、スイッチ回路とにより構成し、前記スイッチ回路が電氣的に遅延回路の出力部に接続され、前記遅延回路に制御されると共に、出力端子への電流源につなぎ、さらに、前記複数のカスケード回路段においては、第 1 のカスケード回路段の遅延回路は、電氣的に入力端子に接続されると共に、その他の遅延回路の入力部はそれぞれ電氣的にその前にある遅延回路の出力部に接続され、前記各遅延回路は、遅延時間が等しく、且つそれらの総遅延時間はマンチェスターコードデータのビットタイムの 2 分の 1 であって、前記各電流源は波形整形回路のフィルタ伝達関数による有限インパルス応答の時間サンプルから得られた電流値を有することにある。

【0008】さらに、前記第 1 の波形整形回路はマンチェスターコードデータの入力を受け、前記第 2 の波形整形回路は遅延されたマンチェスターコードデータの入力を受け、且つ前記第 2 の波形整形回路の出力端は前記第 1 の波形整形回路の出力端と接続し、前記第 3 の波形整形回路は反転されたマンチェスターコードデータを受け取り、前記第 4 の波形整形回路は遅延され、かつ反転されたマンチェスターコードデータの入力を受け、且つ前記第 3 の波形整形回路の出力端と前記第 4 の波形整形回路の出力端とは接続しているように構成される。

【0009】以下、本発明の上記またはその他の目的、特徴及び利点について、図面に基づき参照しながら説明をする。

【0010】

【発明の実施の形態】まず、図 1 と図 2 において、本発明の波形整形回路は、入力されたデータを受け取る (図示しない) 入力端子 (IN) と、出力端子 (OUT) と、複数のカスケード回路段 1 とからなる。前記各カスケード回路段 1 は、入力と出力を備えた遅延回路 10 と、電流源 11 と、スイッチ回路 12 とにより構成する。本実施例には、各遅延回路 10 の入力は、第 1、第 2 入力部 (IP, IN) を有し、しかもその出力は、第 1、第 2 出力部 (OP, ON) を有する。なお、入力されたデータを受け取るため、前記複数のカスケード回路段 1 においては、第 1 のカスケード回路段 1 の遅延回路 10 は、電氣的に入力端子 (IN) のバッファ (B) に接続され、そしてバッファ (B) から出力された正信号及び負信号がそれぞれ第 1 のカスケード回路段 1 の第 1、第 2 入力部 (IP, IN) に入力される。その他の

遅延回路の入力部 (IP, IN) はそれぞれ電氣的にその前の遅延回路の出力部 (OP, ON) に接続され、さらに、前記各遅延回路は、遅延時間がいずれも等しい。

【0011】尚、前記カスケード回路段1の電流源11は、MOSトランジスタであって、接地されたソース電極とある電流源参考電圧に接続するゲート電極とを有し、電流値は波形整形回路のフィルタ伝達関数による有限インパルス応答の時間サンプルから得られるものである。因果システムに対して、前記インパルス応答は時間軸に対して対称でなければならない。本実施例では、フ

ィルタ伝達関数は二乗余弦インパルス応答を有する。従って、長い伝送媒体においては普通最小交互記号 (inter-symbol) の干渉が生じる。また、総遅延段及び段遅延数は、要求される伝達関数の精度によってきまる。

【0012】さらに、前記各カスケード回路段1のスイッチ回路12は第1、第2MOSトランジスタ121、122から構成され、各第1、第2MOSトランジスタ121、122のゲート電極がインバーター (INV) を介して電氣的にカスケード回路段1に対応した遅延回路10の出力部 (ON, OP) にそれぞれ接続され、各

スイッチ回路12の第2MOSトランジスタ122のドレイン電極は、電氣的に前記波形整形回路の出力端子 (OUT) にそれぞれつながれ、それらのソース電極は、その対応した電流源11のドレイン電極にそれぞれ電氣的に接続される。なお、各第1MOSトランジスタ121のドレイン電極は、その対応した電流源11のゲート電極にそれぞれ電氣的に接続され、かつそのソース電極は、電流参考電圧 (CSS) を供給するバイアス回路 (BS) につながる。このように、各スイッチ回路12はそれぞれ対応した遅延回路10に制御されると共に、出力端子 (OUT) への電流源11に接続される。

【0013】次に、図3は、第1、第2、第3、第4の波形整形回路 (C1, C2, C3, C4) から成り、マンチェスターコードデーターを無遮蔽ツイストペア媒体 (UTP) に送信するための装置を示すブロック図である。前記各波形整形回路 (C1, C2, C3, C4) の遅延回路10は、各遅延時間が等しく、且つそれらの総遅延時間はマンチェスターコードデーターの基本データーレートのビットタイムの2分の1或いは2分の1の倍数である。本実施例では、第1の波形整形回路C1のバッファが、マンチェスターコードデーター (HTD) の入力を受け、第2の波形整形回路C1のバッファは、遅延されたマンチェスターコードデーター (LTD) の入力を受け、かつ前記第2の波形整形回路C2の出力端 (OUT) と前記第1の波形整形回路C1の出力端 (OUT) とは接続している。なお、前記第3の波形整形回路C3は反転されたマンチェスターコードデーター (LTD-) の入力を受け、前記第4の波形整形回路C4は遅延され、反転されたマンチェスターコードデーター (HTD-) の入力を受け、且つ前記第3の波形整形回

路C3の出力端 (OUT) と前記第4の波形整形回路C4の出力端 (OUT) とは接続されている。ここでは、いずれの波形整形回路 (C1, C2, C3, C4) も機能的に同一である。前記第1、第4の波形整形回路 (C1, C4) と前記第2、第3の波形整形回路 (C2, C3) は、分離形変成器 (T) を駆動するための微分出力信号を形成することについては互いに相補性を持っている。また、無遅延マンチェスター信号対遅延マンチェスター信号の電流値にある比率を生じるよう、前記第1、第4の波形整形回路 (C1, C4) のバイアスレベル (BIAS1) と前記第2、第3の波形整形回路 (C2, C3) のバイアスレベル (BIAS2) とは、相違するようにしている。通常、伝送歪を与えて、遠く離れた受信端の信号ジッタを減少するため、無遅延マンチェスター信号対遅延マンチェスター信号の電流値の比率は5:1から3:1までの間とする、これは伝送均一法と呼ばれている。

【0014】更に、第1、及び第2の波形整形回路 (C1, C2) の出力端 (OUT) は電氣的に第1の低域フィルタ (LPF1) に接続すると共に、第3、及び第4の波形整形回路 (C3, C4) の出力端 (OUT) を電氣的に第2の低域フィルタ (LPF2) に接続する。なお、1次コイルと2次コイルを有する分離形変成器 (T) においては、1次コイルの両端は、それぞれ第1の低域フィルタ (LPF1) と第2の低域フィルタ (LPF2) に接続され、また、前記1次コイルのCT (センター タップ) 端は正パワーサプライにつながれ、前記2次コイルの出力端は、それぞれ無遮蔽ツイストペア媒体 (UTP) に接続される。

【0015】注意すべきことは、第1、第4の波形整形回路 (C1, C4) の第1のトランジスタは、第1のバイアス電圧 (BIAS1) によってバイアスされることと、第2、第3の波形整形回路 (C2, C3) の第1のトランジスタは、第2のバイアス電圧 (BIAS2) によってバイアスされることである。従って、前置補償のレベルは、第1、第2のバイアス電圧 (BIAS1), (BIAS2) によってセットされる。第1、第2、第3と第4の波形整形回路 (C1, C2, C3, C4) の出力は、電流源の形によるので、出力電圧は無遮蔽ツイストペア媒体 (UTP) からの反射信号のソース終点としての外部負荷抵抗 (R1, R2) によって発生する。

【図面の簡単な説明】

【図1】本発明の波形整形回路を示すブロック図である。

【図2】本発明の波形整形回路を示す回路図である。

【図3】図1に示す複数の波形整形回路を用い、マンチェスターコードデーターを無遮蔽ツイストペア媒体に送信するための装置を示すブロック図である。

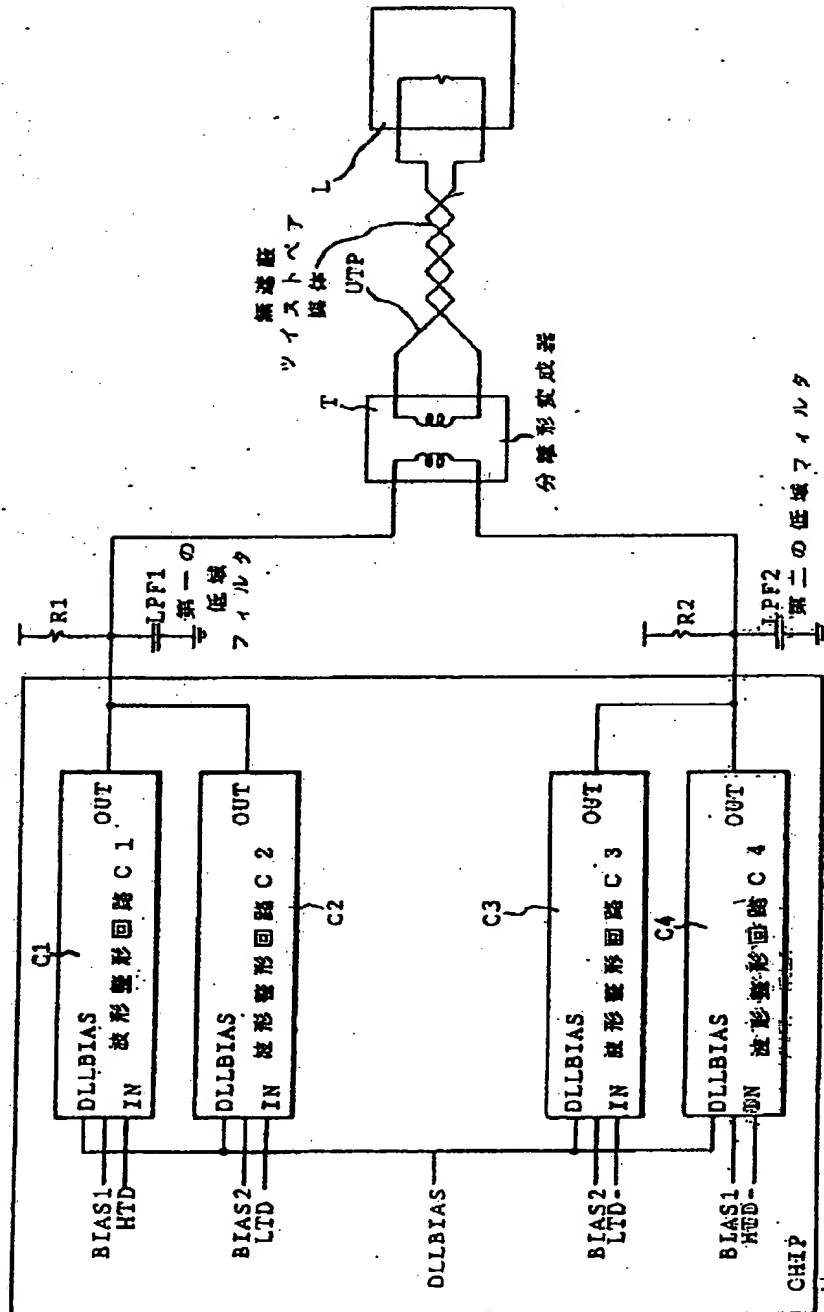
【符号の説明】

1 カスケード回路段

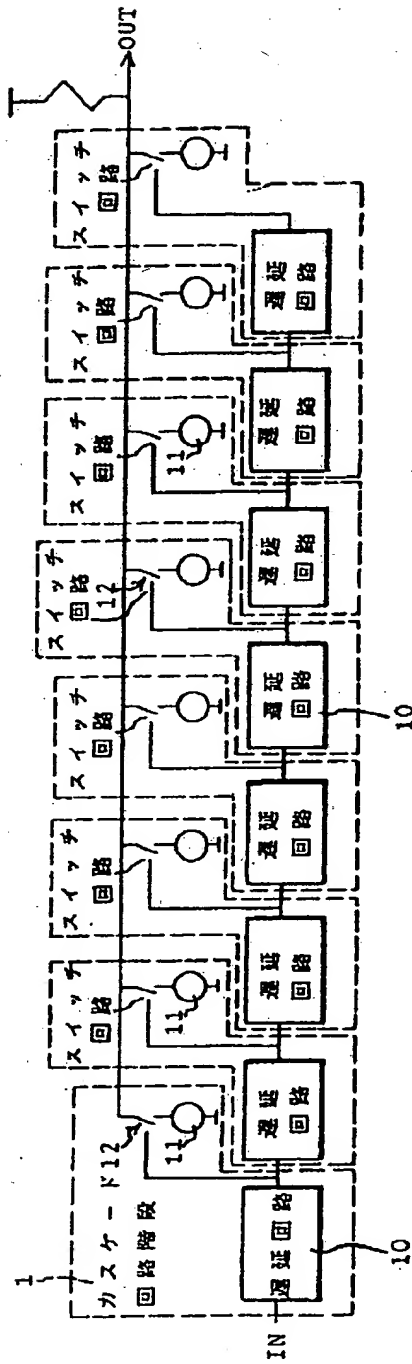
- 10 遅延回路
11 電流源
12 スイッチ回路

- 121 第1MOSトランジスタ
122 第2MOSトランジスタ
C1~C4 波形整形回路

【図1】



【図2】



【図3】

